

⑪ Numéro de publication : **0 480 815 A1**

# DEMANDE DE BREVET EUROPEEN

②① Numéro de dépôt : 91402678.6

⑤ Int. Cl.<sup>5</sup>: **H03F 1/30, H03F 3/345**

②② Date de dépôt: 08.10.91

**(30) Priorité : 09.10.90 FR 9012438**

④3 Date de publication de la demande :  
15.04.92 Bulletin 92/16

**(84) Etats contractants désignés :  
DE FR GB IT.**

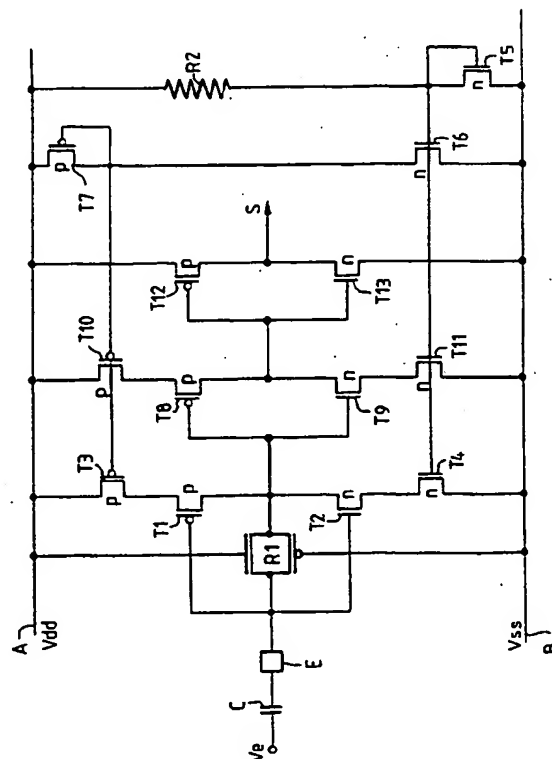
⑦1 Demandeur : SGS-THOMSON  
MICROELECTRONICS S.A.  
7, Avenue Galliéni  
F-94250 Gentilly (FR)

**(72) Inventeur : Tournier, Christian**  
**Cabinet Ballot-Schmit, 7, rue Le Sueur**  
**F-75116 Paris (FR)**

74) Mandataire : Schmit, Christian Norbert Marie  
et al  
Cabinet Ballot-Schmit 7, rue Le Sueur  
F-75116 Paris (FR)

⑤4 Amplificateur monobroche en circuit intégré.

(57) L'invention concerne les circuits intégrés incorporant à la fois des fonctions logiques et des fonctions analogiques. Ces dernières sont bruitées par les transitions logiques, par l'intermédiaire des conducteurs d'alimentation. Pour éviter de perturber le point de repos d'un amplificateur par ce bruit d'alimentation, sans utiliser des circuits de compensation qui augmenteraient le nombre de broches du circuit intégré, on propose selon l'invention d'alimenter une paire de transistors complémentaires (T1, T2) formant inverseur par des générateurs de courant entrant et sortant identiques ; ces générateurs sont des transistors (T3, T4) recopiant avec le même rapport un courant dans un même transistor (T5).



tième transistor MOS et du cinquième transistor MOS en sorte que le courant entrant imposé par le troisième transistor MOS soit égal au courant sortant imposé par le quatrième transistor MOS.

Une résistance de contre réaction est de préférence prévue entre les grilles réunies et les drains réunis des transistors de la paire complémentaire. Cette résistance est par exemple réalisée à l'aide de deux transistors complémentaires en parallèle dont les grilles sont reliées chacune respectivement à l'un des conducteurs d'alimentation.

L'amplificateur peut comporter deux étages en série comportant chacun une paire complémentaire et les transistors qui servent à les alimenter en courant (troisième et quatrième transistors). La résistance de contre réaction prévue de préférence sur le premier étage n'est pas nécessairement prévue sur le deuxième. Un troisième étage, avec ou sans résistance de contre-réaction, peut être prévu en plus. Ce troisième étage ne comporte pas nécessairement les troisième et quatrième transistors d'alimentation en courant, du fait que les niveaux de tension d'entrée qu'il reçoit après amplification dans les deux premiers étages sont suffisamment élevés.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence au dessin annexé dans lequel la figure unique représente un exemple détaillé de réalisation de l'invention.

L'amplificateur est alimenté en énergie par deux conducteurs d'alimentation A et B à des tensions respectives Vdd et Vss; par exemple Vdd est d'environ + 5 volts, Vss étant la référence de potentiel nul.

Une seule broche d'entrée E est nécessaire à l'amplificateur (pas de deuxième broche pour constituer une entrée différentielle, pas de broches pour y connecter des circuits de compensation extérieurs au circuit intégré).

Le signal d'entrée à amplifier,  $V_e$ , sera appliqué à cette entrée en principe à travers une capacité C extérieure au circuit intégré.

L'amplificateur représenté comprend plusieurs étages, le plus important selon l'invention étant le premier.

Le premier étage comporte une paire de transistors complémentaires T1 et T2 (type p et n respectivement) en série entre les conducteurs A et B. Les transistors sont reliés par leurs drains. Leurs grilles sont reliées ensemble à la broche d'entrée E (en principe directement).

La source de T1 est reliée à un troisième transistor T3 de même type (p), lui-même relié par ailleurs au conducteur A. Le troisième transistor constitue un transistor d'alimentation en courant de la paire complémentaire T1, T2. Le courant d'alimentation est entrant. La source de T2 est reliée à un quatrième transistor T4 de même type (n) lui-même relié par ailleurs au conducteur B. Le transistor T4 est également

un transistor d'alimentation en courant de la paire complémentaire, le courant étant cette fois un courant sortant.

Comme on le verra, ces transistors sont commandés de manière que les courants qu'ils imposent dans la paire complémentaire soient identiques, c'est-à-dire que le courant entrant est égal au courant sortant, et ceci indépendamment des fluctuations de la tension d'alimentation qui peut être bruitée par des signaux logiques voisins.

Pour limiter le gain de l'étage amplificateur d'entrée, ainsi constitué, une résistance R1 peut être prévue entre la sortie de cet étage (prise sur les drains des transistors T1 et T2) et l'entrée (prise sur les grilles réunies de ces transistors). Cette résistance peut être réalisée à partir de deux transistors complémentaires montés en parallèle, le transistor à canal P ayant sa grille reliée à Vss et le transistor à canal N ayant sa grille reliée à Vdd.

Pour la commande des troisième et quatrième transistors, on prévoit un circuit à miroirs de courant recopiant successivement des courants à partir d'un cinquième transistor T5 monté en diode (sa grille est reliée à son drain).

Le transistor T5 est relié en série avec une résistance R2, l'ensemble étant connecté entre les conducteurs A et B. Le transistor est polarisé en saturation. Il est parcouru par un courant qui est essentiellement lié à sa géométrie, c'est-à-dire à son rapport largeur/longueur de canal. Il va servir de référence de courant.

Si le transistor T5 est à canal N (cas de la figure), sa source est reliée à Vss. Si c'était un transistor à canal P sa source serait reliée à Vdd.

Le courant dans le transistor T5 est recopié par effet de miroir de courant dans un sixième transistor T6 de même type, ayant sa grille et sa source reliées respectivement à la grille et la source de T5.

Le transistor T6 est en série avec un septième transistor T7 de type opposé, monté en diode (grille reliée à son drain). Ces deux transistors sont montés en série entre les deux conducteurs d'alimentation Vdd et Vss. La source de l'un est reliée à Vss et la source de l'autre à Vdd.

Les transistors T5 et T7 servent de références pour les courants dans les troisième et quatrième transistors T3 et T4. Des montages en miroir de courant entre ces quatre transistors pris deux à deux sont prévus à cet effet. Bien entendu, les transistors sont associés par paires de même type pour que la recopie de courant soit possible : si le troisième transistor T3 est de type P il doit recopier le courant d'un transistor de type P. Dans le cas de la figure c'est le transistor T7, mais si T5 était de type P, ce serait le transistor T6 qui serait de type P et qui servirait de référence au quatrième transistor, T7 étant de type N et servant de référence pour le transistor T3.

Dans l'exemple de la figure le transistor T3 est

(T5) en sorte que le courant entrant imposé par le troisième transistor MOS (T3) soit égal au courant sortant imposé par le quatrième transistor MOS (T4).

2. Amplificateur analogique en circuit intégré selon la revendication 1, caractérisé en ce qu'une résistance de contre-réaction (R1) est placée entre l'entrée et la sortie de l'étage amplificateur.

3. Amplificateur analogique en circuit intégré selon l'une des revendications 1 et 2 précédentes, caractérisé en ce qu'il comporte deux étages amplificateurs en série comportant chacun un inverseur avec une paire de transistors MOS complémentaires, un transistor MOS pour imposer un courant entrant dans l'inverseur et un autre transistor MOS pour imposer un courant sortant de l'inverseur.

4. Amplificateur analogique en circuit intégré selon la revendication 3, caractérisé en ce que l'étage de référence de courant comportant la résistance (R2) et les cinquième, sixième et septième transistors MOS (T5, T6, T7) est commun aux deux étages amplificateurs.

5. Amplificateur analogique en circuit intégré selon la revendication 4 précédente, caractérisé en ce qu'il comporte un étage de sortie avec un inverseur comportant une paire de transistors MOS complémentaires.

5

10

15

20

25

30

35

40

45

50

55

# BEST AVAILABLE COPY

EP 0 480 815 A1



Office européen  
des brevets

## RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 91 40 2678

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
Y	EP-A-0 236 525 (DEUTSCHE ITT INDUSTRIES GmbH) * Page 2, colonne 1, ligne 39 - colonne 2, ligne 39; figure 1; page 3, colonne 3, lignes 17-24 *	1-5	H 03 F 1/30 H 03 F 3/345
Y	US-A-3 886 464 (A.F.G. DINGWALL) * Colonne 4, ligne 47 - colonne 6, ligne 41; figures 3,4 *	1-5	
A	US-A-4 045 747 (S.T. HSU) * Abrégé; figures 1,2 *	1,3	
A	US-A-4 038 607 (O.H. SCHADE) * Colonne 1, ligne 67 - colonne 5, ligne 44; figure 1 *	1,4	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
			H 03 F H 03 K
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 07-01-1992	Examinateur TYBERGHIE G.M.P.
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons A : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

EPO FORM 1503 (01.91) (P0402)